

대한민국 특허청

KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0066804
Application Number PATENT-2002-0066804

출원년월일 : 2002년 10월 31일
Date of Application OCT 31, 2002

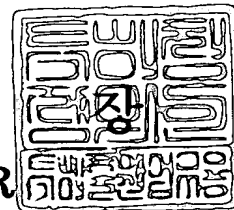
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 11 월 20 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002. 10. 31
【발명의 명칭】	게이트 전극 형성 방법, 게이트 전극을 포함하는 반도체 장치의 형성 방법 및 기판의 산화 방법.
【발명의 영문명칭】	Method for forming a gate electrode and forming a semiconductor device having the gate electrode and method for oxidation of substrate
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	한재종
【성명의 영문표기】	HAN, Jae Jong
【주민등록번호】	631010-1951613
【우편번호】	137-030
【주소】	서울특별시 서초구 잠원동 58-24 신반포 11차아파트 323-1004
【국적】	KR
【발명자】	
【성명의 국문표기】	형용우
【성명의 영문표기】	HYUNG, Yong Woo
【주민등록번호】	620612-1531018
【우편번호】	449-840
【주소】	경기도 용인시 수지읍 삼성5차아파트 523-1605
【국적】	KR

【발명자】

【성명의 국문표기】 신승목
【성명의 영문표기】 SHIN, Seung Mok
【주민등록번호】 700112-1168145
【우편번호】 442-470
【주소】 경기도 수원시 팔달구 영통동 신나무실 주공아파트 501-303
【국적】 KR

【발명자】

【성명의 국문표기】 이공수
【성명의 영문표기】 LEE, Kong Soo
【주민등록번호】 710512-1030920
【우편번호】 445-974
【주소】 경기도 화성군 태안읍 병점리 한신아파트 104동 1305호
【국적】 KR

【발명자】

【성명의 국문표기】 윤은정
【성명의 영문표기】 YUN, Eun Jung
【주민등록번호】 771016-2823015
【우편번호】 137-131
【주소】 서울특별시 서초구 양재1동 2-34 한빛빌딩 204호
【국적】 KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	16 면	16,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	20 항	749,000 원
【합계】		794,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

양호한 측벽 프로파일을 갖는 게이트 전극을 형성하는 방법이 개시되어 있다. 반도체 기판 상에 게이트 산화막 패턴, 폴리실리콘막 패턴 및 금속 실리사이드 패턴이 적층된 게이트 구조물을 형성한다. 상기 게이트 구조물이 형성되어 있는 기판을 산소 및 불활성 가스가 희석된 분위기에서 재산화하여, 상기 폴리실리콘막 패턴 및 금속 실리사이드 패턴의 측면으로부터 막의 성장률이 유사하도록 상기 게이트 구조물 및 기판 상에 제1 산화막을 형성하여 게이트 전극을 완성한다. 게이트 전극의 측벽 프로파일이 양호해짐에 따라 반도체 제조 공정 시의 불량률을 최소화할 수 있다.

【대표도】

도 4b

【명세서】**【발명의 명칭】**

게이트 전극 형성 방법, 게이트 전극을 포함하는 반도체 장치의 형성 방법 및 기판의 산화 방법. {Method for forming a gate electrode and forming a semiconductor device having the gate electrode and method for oxidation of substrate}

【도면의 간단한 설명】

도 1a 내지 도 1b는 종래의 반도체 장치에서 셀 트랜지스터의 게이트 전극 형성 방법을 설명하기 위한 단면도들이다.

도 2는 층간 절연막에 발생한 보이드를 나타내는 단면도이다.

도 3은 보이드에 의해 발생한 불량을 나타내는 평면도이다.

도 4a 내지 도 4b는 본 발명의 제1 실시예에 따른 셀 트랜지스터의 게이트 전극 형성 방법을 설명하기 위한 단면도들이다.

도 5는 본 발명의 일 실시예에 따른 재산화 공정 방법을 상세히 설명하기 위한 공정 타이밍도이다.

도 6은 퍼니스 내의 온도에 따른 기판 상에 형성되는 자연 산화막의 두께를 나타내는 그래프도이다.

도 7은 도핑되는 불순물에 따라 폴리실리콘막 상에 형성된 텅스텐 실리사이드막이 산화되는 정도를 나타내는 그래프도이다.

도 8은 실리콘막들에 도핑되는 불순물의 종류별로 실리콘막이 산화되는 정도를 각각 나타내는 그래프도이다.

도 9a 내지 도 9f는 본 발명의 제2 실시예에 따른 게이트 전극을 포함하는 반도체 장치의 형성 방법을 설명하기 위한 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

100, 200 : 기판	104, 204 : 폴리실리콘막 패턴
106, 206 : 텅스텐 실리사이드 패턴	110, 210 : 게이트 구조물
112 : 산화막	212 : 제1 산화막
214 : 제2 산화막	

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<15> 본 발명은 게이트 전극 형성 방법, 게이트 전극을 포함하는 반도체 장치의 형성 방법 및 기판의 산화 방법에 관한 것으로서, 보다 상세하게는 양호한 측벽 프로파일을 갖는 게이트 전극을 형성하는 방법 및 상기 게이트 전극을 포함하는 반도체 장치의 형성 방법에 관한 것이다.

<16> 반도체 메모리 장치는 DRAM(dynamic random access memory) 및 SRAM(static random access memory)과 같이 시간이 지남에 따라 데이터를 잃어버리는 휘발성(volatile)이면서 데이터의 입·출력이 빠른 RAM 제품과, 한번 데이터를 입력하면 그 상태를 유지할 수 있지만 데이터의 입·출력이 느린 ROM(read only memory) 제품으로 크게 구분할 수 있다.

- <17> 상기 반도체 메모리 장치는 하나의 반도체 기판 상에 다수의 칩들을 양산할 수 있도록 집적도가 향상되고 있고, 이를 위해 상기 메모리 장치에 내장되어 있는 각 패턴들의 선폭 및 패턴들 간의 간격은 최소화되고 있다. 따라서, 상기 반도체 메모리 장치의 각 셀에 하나 이상 포함되어 있는 트랜지스터에서 게이트 전극의 선폭 및 게이트 전극들 간의 간격도 더욱 미세해지고 있다. 때문에, 반도체 장치에서 요구하는 수준의 트랜지스터 특성을 확보하는 것은 더욱 어려워지고 있다. 또한, 반도체 장치를 형성하기 위한 일련의 공정을 수행하는 중에 발생하는 공정 불량은 더욱 증가하고 있다.
- <18> 도 1a 내지 도 1b는 종래의 반도체 장치에서 셀 트랜지스터의 게이트 전극 형성 방법을 설명하기 위한 단면도들이다.
- <19> 도 1a를 참조하면, 반도체 기판(10)상에 게이트 산화막 패턴(12), 폴리실리콘막 패턴(14), 텅스텐 실리사이드 패턴(16) 및 질화막 패턴(18)이 적층되어 있는 게이트 구조물(20)을 형성한다.
- <20> 구체적으로, 반도체 기판(10)상에 30 내지 200 Å의 얇은 두께로 게이트 산화막을 형성한다. 상기 게이트 산화막 상에 N형 또는 P형 불순물이 도핑되어 있는 폴리실리콘을 증착시켜 폴리실리콘막을 형성한다. 이어서, 상기 폴리실리콘막 상에 텅스텐 실리사이드막을 형성한다.
- <21> 상기 텅스텐 실리사이드막 상에 상기 게이트 전극이 형성될 부위를 정의하기 위한 포토레지스트 패턴을 형성하고, 상기 포토레지스트 패턴을 식각 마스크로하여 상기 텅스텐 실리사이드막 및 폴리실리콘막을 식각한다. 이어서, 상기 포토레지스트 패턴을 제거한다. 상기 포토레지스트 패턴을 제거할 때 수행되는 플라즈마 에칭, 황산 스트립 및 기

판 세정 등에 의해 상기 반도체 기판상에 노출되어 있는 게이트 산화막은 거의 제거되어 게이트 구조물(20)이 형성된다.

<22> 도 1b를 참조하면, 상기 게이트 구조물(20)이 형성되어 있는 반도체 기판(10)을 산소 분위기에서 재산화시켜, 상기 반도체 기판(10) 및 상기 게이트 구조물(20)의 표면에 산화막(22)이 형성된 게이트 전극을 형성한다.

<23> 상기 재산화 공정은 상기 게이트 구조물(20)을 형성하기 위한 식각 공정 시에 고에너지의 이온 충격으로 야기된 반도체 기판(10) 및 게이트 구조물(20)의 측벽 손상(damage)을 큐어링하기 위하여 수행된다. 상기 공정을 수행하면, 상기 반도체 기판(10) 및 게이트 구조물(20)의 표면의 실리콘(Si)성분과 산소가 반응하여 상기 반도체 기판(10) 및 상기 게이트 구조물(20)의 표면에 산화막(22)이 형성된다.

<24> 상기 게이트 구조물(20)에서는 상기 폴리실리콘막 패턴(14) 및 텅스텐 실리사이드 패턴(16)의 측벽에서 산화막이 형성된다. 그런데, 상기 텅스텐 실리사이드는 상기 폴리실리콘보다 산소와의 반응 속도가 더 빠르게 진행된다. 때문에, 상기 재산화 공정을 수행하면 상기 폴리실리콘막 패턴(14)의 측면에 형성되어 있는 산화막에 비해 텅스텐 실리사이드 패턴(16)의 측면에 형성되어 있는 산화막(22)이 더 두껍게 형성되고(A) 이로 인해 상기 게이트 전극의 측벽 프로파일이 불량해진다. 구체적으로, 상기 게이트 전극의 측벽은 상기 텅스텐 실리사이드 패턴(16) 부위의 산화막(22)이 더욱 돌출되는(A) 네거티브 슬로프를 갖는다.

<25> 상기와 같이 측면에 네거티브 슬로프를 갖는 게이트 전극이 형성되는 경우,

후속 공정에서 상기 게이트 전극을 매몰하기 위한 층간 절연막을 보이드 없이 형성하기가 매우 어렵다. 만일, 상기 층간 절연막에 보이드가 발생하면 상기 게이트 전극들 사이에 콘택을 형성하는 공정에서 이웃하는 콘택들간이 연결되는 불량이 빈번히 발생하게 된다.

<26> 도 2는 게이트 전극을 매몰하는 층간 절연막에 발생한 보이드를 나타내는 단면도이다. 도 3은 층간 절연막에 발생한 보이드에 의해 이웃하는 콘택들이 연결된 것을 나타내는 평면도이다.

<27> 도 2는 도 3의 B-B'를 절단하였을 때 보여지는 단면도이다.

<28> 도 2 내지 도 3을 참조하면, 상기 게이트 전극의 측면에는 셀프 얼라인 콘택홀 형성을 위한 질화막 스페이서(24)가 형성되어 있다. 상기 질화막 스페이서(24)이 형성되어 있는 게이트 전극을 매몰하는 층간 절연막(26)이 형성되어 있다. 이어서, 상기 층간 절연막(26)에 셀프 얼라인 콘택(28)을 형성하면 상기 층간 절연막(26)내에 형성되어 있는 보이드(30)에도 도전 물질이 채워져 이웃하는 콘택(28)들이 연결되는 불량이 발생하는 것이다.

<29> 상기와 같이 게이트 구조물에 재산화 공정을 수행할 때, 상기 텅스텐 실리사이드의 이상 산화를 방지하기 위한 방법의 일 예는 일본 공개 특허 평8-032066호 및 일본 공개 특허 평 11-345970호에 개시되어 있다.

<30> 일본 공개 특허 평8-032066호에는 폴리 실리콘 및 텅스텐 실리사이드층으로 적층된 폴리사이드층을 식각하여 패터닝한 후 900℃의 온도 분위기에서 60분간 열산화처리하여 패턴 표면에 실리콘 산화막을 형성하고, 이어서 질소 회석 산소 분위기에서 열산화하는

방법이 개시되어 있다. 그러나, 상기 900℃의 온도 분위기에서 60분간 열산화처리하는 중에 상기 폴리실리콘층에 비해 텅스텐 실리사이드층이 빠르게 산화되기 때문에 상기 텅스텐 실리사이드의 이상 산화를 방지하는 데는 한계가 있다.

- <31> 일본 공개 특허 평 11-345970호에는 폴리 실리콘 및 텅스텐 실리사이드층으로 적층된 폴리사이드층을 식각하여 패터닝한 후 불활성 가스 분위기에서 1차 열처리 한 후 강한 산화 분위기에서 2차 열처리하는 방법이 개시되어 있다. 그러나, 상기 강한 산화 분위기에서 2차 열처리를 하는 중에 상기 폴리실리콘층에 비해 텅스텐 실리사이드층이 빠르게 산화되기 때문에 상기 텅스텐 실리사이드의 이상 산화를 방지하는 데는 한계가 있다.

【발명이 이루고자 하는 기술적 과제】

- <32> 따라서, 본 발명의 제1 목적은 양호한 측벽 프로파일을 갖는 게이트 전극을 형성하는 방법을 제공하는 데 있다.
- <33> 본 발명의 제2 목적은 양호한 측벽 프로파일을 갖는 게이트 전극을 포함하는 반도체 장치의 형성 방법을 제공하는 데 있다.
- <34> 본 발명의 제3 목적은 양호한 측벽 프로파일을 갖도록 하면서 게이트 구조물을 포함하는 기판 표면을 산화시키는 방법을 제공하는 데 있다.

【발명의 구성 및 작용】

- <35> 상기한 제1 목적을 달성하기 위하여 본 발명은,
- <36> 반도체 기판 상에 게이트 산화막 패턴, 폴리실리콘막 패턴 및 금속 실리사이드 패턴이 적층된 게이트 구조물을 형성하는 단계; 및

- <37> 상기 게이트 구조물이 형성되어 있는 기판을 산소 및 불활성 가스가 희석된 분위기에서 재산화하여, 상기 폴리실리콘막 패턴 및 금속 실리사이드 패턴의 측면에서 막의 성장률이 유사하도록 상기 게이트 구조물 및 기판 상에 제1 산화막을 형성하는 단계를 수행하여 게이트 전극을 형성하는 방법을 제공한다.
- <38> 상기한 제2 목적을 달성하기 위하여 본 발명은,
- <39> 반도체 기판 상에 게이트 산화막 패턴, 폴리실리콘막 패턴, 금속실리사이드 패턴 및 질화막 패턴이 적층된 게이트 구조물들을 형성하는 단계;
- <40> 상기 게이트 구조물들이 형성되어 있는 기판을 산소 및 불활성 가스가 희석된 분위기에서 재산화하여, 상기 폴리실리콘막 패턴 및 금속 실리사이드 패턴의 측면에서 막의 성장률이 유사하도록 상기 게이트 구조물 및 기판 상에 제1 산화막을 형성하는 단계;
- <41> 상기 제1 산화막을 포함하는 게이트 구조물들의 양 측벽에 질화막 스페이서를 형성하는 단계;
- <42> 상기 질화막 스페이서를 포함하는 게이트 구조물들을 매몰하도록 층간 절연막을 형성하는 단계;
- <43> 상기 층간 절연막의 소정 부위를 식각하여 상기 질화막 스페이서 사이의 기판 표면을 노출하는 셀프 얼라인 콘택홀을 형성하는 단계; 및
- <44> 상기 셀프 얼라인 콘택홀 내를 도전성 물질로 매몰하여 콘택을 형성함으로써 게이트 전극을 포함하는 반도체 장치를 형성하는 방법을 제공한다.
- <45> 상기한 제3 목적을 달성하기 위하여 본 발명은,
- <46> i) 퍼니스 내부를 제1 온도로 조절하는 단계;

- <47> ii) 게이트 구조물이 형성된 기판들을 상기 퍼니스 내로 로딩하는 단계;
- <48> iii) 상기 퍼니스 내에 제1 불활성 가스를 유입하면서, 상기 퍼니스 내의 온도가 상기 제1 온도에 비해 상승된 제2 온도가 되도록 퍼니스 내의 온도를 승온하는 단계;
- <49> iv) 상기 퍼니스 내에 산소 및 제2 불활성 가스가 희석된 분위기에서 산화하여 상기 게이트 구조물의 측면에서 막의 성장률이 유사하도록 상기 게이트 구조물 및 기판 표면에 제1 산화막을 형성하는 단계를 수행하여 게이트 구조물을 포함하는 기판을 산화하는 방법을 제공한다.
- <50> 상기 공정에 의해 형성되는 게이트 전극의 측면은 돌출되는 부위 없이 양호한 프로파일을 갖는다. 때문에, 상기 게이트 전극을 매몰하는 층간 절연막을 형성하는 공정에서 상기 층간 절연막 내에 발생하는 보이드를 감소시킬 수 있다. 또한, 상기 게이트 전극들 사이에 콘택을 형성하는 공정에서 공정 불량을 감소시킬 수 있다.
- <51> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.
- <52> 실시예 1
- <53> 도 4a 내지 도 4b는 본 발명의 제1 실시예에 따른 셀 트랜지스터의 게이트 전극 형성 방법을 설명하기 위한 단면도들이다.
- <54> 제1 실시예에서는 N형 트랜지스터의 게이트 전극을 형성하는 방법을 설명한다.
- <55> 도 4a를 참조하면, 반도체 기판(100)상에 게이트 산화막 패턴(102), 폴리실리콘막 패턴(104), 텅스텐 실리사이드 패턴(106) 및 절화막 패턴(108)이 적층되어 있는 게이트 구조물(110)을 형성한다. 상기 게이트 구조물(110)이 형성되는 영역의 반도체 기판(100)

아래에는 P형으로 도핑되어 있는 P-웰(101)이 형성되어 있다. 상기 P-웰(101)에는 예컨대 붕소 이온이 도핑되어 있다.

<56> 구체적으로, 반도체 기판(100)상에 30 내지 200Å의 얇은 두께로 게이트 산화막을 형성한다. 상기 게이트 산화막 상에 N형 또는 P형 불순물이 도핑되어 있는 폴리실리콘을 증착시켜 폴리실리콘막을 형성한다. 이어서, 상기 폴리실리콘막 상에 텅스텐 실리사이드막을 형성한다. 상기 텅스텐 실리사이드막 상에 상기 게이트 전극이 형성될 부위를 정의하기 위한 포토레지스트 패턴을 형성하고, 상기 포토레지스트 패턴을 식각 마스크로 하여 상기 텅스텐 실리사이드막 및 폴리실리콘막을 식각한후 상기 포토레지스트 패턴을 제거한다. 상기 포토레지스트 패턴을 제거할 때 수행되는 플라즈마 에칭, 황산 스트립 및 기판 세정 등에 의해 상기 반도체 기판상에 노출되어 있는 게이트 산화막은 거의 제거된다.

<57> DRAM 장치를 포함하는 반도체 장치의 N형의 셀 트랜지스터에서 게이트 전극용 폴리실리콘막 패턴(104)은 일반적으로 5족 이온이 도핑되어 있는 N형 폴리실리콘을 증착시켜 형성하였다. 상기 도핑되는 이온은 예컨대 인(Ph) 또는 비소(As)를 포함한다.

<58> 그러나, 상기 게이트 전극용 도전성 패턴이 N형 폴리실리콘이고 기판 저면부는 P-웰(101)이 형성되어 있기 때문에 게이트 전극에 전압을 가하면 게이트 전극 아래의 기판 표면에 반전층이 빠르게 형성된다. 따라서, 상기와 같이 형성된 트랜지스터의 문턱 전압은 도전성 패턴이 N형 폴리실리콘으로 형성된 트랜지스터에 비해 상대적으로 낮다. 상기 문턱 전압을 반도체 장치에서 요구하는 수준까지 상승시키기 위하여 P-웰(101)에서의 P형 불순물의 도핑 농도를 증가시키고 있으나, 상기와 같이 P형 불순물의 도핑 농도를 증

가시키면 벌크 누설 전류를 증가되어 스테틱 리프래쉬(Static reflash)특성이 저하되는 문제가 발생한다.

<59> 때문에, 최근의 게이트 전극 형성 공정은 트랜지스터의 문턱 전압을 원하는 수준까지 높이면서도 스테틱 리프래쉬(Static reflash)특성을 향상시키기 위해 상기 N형 폴리실리콘 대신 P형 폴리실리콘을 증착시켜 게이트 전극용 폴리실리콘막 패턴(104)을 형성하고 있다. 상기 게이트 전극용 도전성 패턴이 P형 폴리실리콘일 경우, 동일한 불순물 이온으로서 P-웰(101)이 형성되어 있기 때문에 게이트 전극 아래의 기판 표면에 반전층을 형성하기 위해 게이트 전극에 요구되는 전압이 상대적으로 더 높아진다. 이 때, 상기 폴리실리콘에 도핑되는 P형 불순물은 붕소(B)를 포함한다.

<60> 도 4b를 참조하면, 상기 게이트 구조물(110)이 형성되어 있는 기판(100)을 산소 및 불활성 가스가 희석된 분위기에서 재산화하여, 상기 폴리실리콘막 패턴(104) 및 텅스텐 실리사이드 패턴(106)의 측면으로부터 막의 성장률이 약 1 : 1 정도로 유사하게 되도록 하면서 상기 게이트 구조물(110) 및 기판(100) 표면에 산화막(112)을 형성하여 게이트 전극을 완성한다.

<61> 상기 재산화 공정은 상기 게이트 구조물(110)을 형성하기 위해 수행되는 식각 공정시에 고에너지의 이온 충격으로 야기된 손상(damage)을 큐어링하기 위하여 수행된다. 즉, 상기 게이트 구조물(110)이 형성되어 있는 반도체 기판(100)을 산화 분위기에서 열처리함으로써 상기 반도체 기판(100) 및 게이트 구조물(110)을 큐어링한다.

<62> 도 5는 본 발명의 일 실시예에 따른 재산화 공정 방법을 상세히 설명하기 위한 공정 타이밍도이다. 이하에서, 도 5를 참조하여 상기 재산화 공정 방법에 대해 더욱 자세하게 설명한다.

<63> 상기 재산화 공정을 수행하기 위한 퍼니스 내부를 400 내지 480℃의 범위에서 일정 온도로 조절한다. 이는, 재산화 공정을 수행하기 위한 기판(100)들이 로딩되는 퍼니스의 온도 조건이다. 만일, 상기 퍼니스 내의 온도가 상기 범위보다 높을 경우에는 상기 퍼니스 내에 잔류하는 산화제가 상기 게이트 구조물(110)을 포함하는 기판(100)표면의 실리콘과 반응하여 자연 산화막이 형성될 수 있다. 또한, 상기 온도 범위보다 낮을 경우에는 상기 퍼니스 내의 온도를 산화막을 형성하기 위한 공정 온도까지 승온(Ramping-up)하는데 너무 많은 시간이 소요된다. 이어서, 내부 온도가 400 내지 480℃인 퍼니스에 기판(100)을 인입한다. 상기 기판(100)을 인입하는 동안 30 내지 50 slm(standard liter per minute)의 불활성 가스를 유입한다. (S10) 상기 불활성 가스를 상기 범위 이상의 유량으로 유입하는 경우에는 상기 퍼니스 내에 로딩되는 기판(100)의 위치에 따라 상기 자연 산화막의 두께 산포가 매우 커지는 문제점이 있다. 상기 불활성 가스는 질소, 아르곤, 헬륨 등을 포함하며, 안전성 및 경제성 등을 고려하면 질소 가스를 사용하는 것이 바람직하다. 상기 불활성 가스는 퍼니스 내부에 잔류하는 산화제를 외부로 이송하고 상기 인입되는 기판(100) 표면이 상기 산화제와 접촉하는 것을 방지하여 상기 기판(100) 표면에 자연 산화막이 형성되는 것을 최소화시킨다.

<64> 상기 기판이 퍼니스 내에 완전히 로딩되면 상기 퍼니스 내의 온도를 분당 5 내지 15℃ 정도로 승온시켜 상기 퍼니스 내의 온도가 800 내지 900℃가 되도록 한다. (S12) 상기 퍼니스 내의 온도를 승온시키는 동안에도 계속하여 30 내지 50 slm 정도의 불활성 가스를 유입하여 자연 산화막의 형성을 최소화시킨다. 상기 퍼니스 내부의 온도가 800 내지 900℃ 범위 내의 정해진 온도까지 상승하면, 더 이상 상기 퍼니스 내부의 온도를 승온시키지 않고 상기의 온도가 유지되도록 한다. 그리고, 상기 퍼니스 내부의 온도를 유

지하면서 약 10 내지 15분간 불활성 가스를 계속하여 제공한다. 상기 퍼니스 내부의 온도를 산화막 형성을 위한 온도로 일정 시간동안 유지함으로서 상기 퍼니스 내부의 온도 편차를 최소화할 수 있다.

<65> 상기 설명한 공정들은 기판(100) 및 게이트 구조물(110) 표면에 산화막을 형성하기 이전의 준비 단계들이다. 만일 상기 공정들을 수행하면서 상기 기판(100) 및 게이트 구조물(110)표면에 자연 산화막이 형성된다면, 상기 자연 산화막은 상기 폴리실리콘막 패턴(104)의 측면보다 상기 텅스텐 실리사이드 패턴(106)의 측면에서 더욱 두껍게 형성된다. 이는, 동일한 조건에서 폴리실리콘보다 상기 텅스텐 실리사이드가 산화제와 빠르게 반응하기 때문이다. 따라서, 상기 자연 산화막에 의해 상기 텅스텐 실리사이드 패턴(106) 부위의 게이트 전극이 돌출되어 게이트 전극의 측벽 프로파일이 불량하게 된다.

<66> 그런데, 기판을 퍼니스 내에 인입할 때 상기 퍼니스 내부의 온도를 종래에 비해 낮추고 및 다량의 불활성 가스를 퍼니스 내에 공급함으로서 상기 기판(100) 및 게이트 구조물(110)표면에 자연 산화막이 형성되는 것을 최소화하였다. 때문에, 상기 자연 산화막에 의해 상기 게이트 전극의 측벽 프로파일이 불량해지는 것을 감소시킬 수 있다.

<67> 이어서, 상기 퍼니스 내에 산소 가스 및 불활성 가스를 일정시간 동안 제공하여 원하는 두께의 산화막(112)을 형성시킨다.(S14) 상기 불활성 가스는 질소, 아르곤, 헬륨 등을 포함하며, 안전성 및 경제성 등을 고려하면 질소 가스를 사용하는 것이 바람직하다. 상기 불활성 가스는 상기 퍼니스 내에 제공되는 산소 가스의 분압을 감소시킨다. 따라서, 상기 불활성 가스에 의해 상기 게이트 구조물(110)을 포함하는 기판(100) 표면에 산화막(112)이 형성되는 속도가 감소된다. 그런데, 발명자의 다양한 실험 결과 상기 불활성 가스에 의해 상기 폴리실리콘막 패턴(104)에 비해 상기 텅스텐 실리사이드 패턴(106)

측면에서 산화 반응이 종래에 비해 특히 감소된다. 때문에 상기 텅스텐 실리사이드 패턴(106)과 상기 폴리실리콘막 패턴(104)의 측면에 각각 형성되는 산화막(112) 두께의 차이가 종래에 비해 매우 감소된다. 이로 인해 상기 게이트 구조물의 측면 프로파일은 돌출되는 부위없이 양호하게 된다.

<68> 상기 산소 가스 및 불활성 가스는 1: 0.9 내지 1.1의 부피비로 희석하여 상기 퍼니스 내에 제공하는 것이 바람직하다. 상기 불활성 가스가 너무 많이 제공되면 상대적으로 산화제인 산소 가스가 감소되어 상기 게이트 구조물(110) 및 기판 (100)표면이 산화되는 속도가 매우 감소된다. 따라서, 산화막을 원하는 두께로 형성하기 위하여 매우 긴 시간동안 재산화 공정을 수행하여야 하는 문제점이 있다. 반면에, 상기 불활성 가스가 너무 작게 제공되면 상기 측면 프로파일의 개선 효과가 감소된다.

<69> 상기 설명한 방법으로 재산화 공정을 수행함으로써, 돌출되는 부분이 없는 양호한 측벽 프로파일을 갖는 게이트 전극을 형성할 수 있다.

<70> 도 6은 퍼니스 내의 온도에 따른 기판 상에 형성되는 자연 산화막의 두께를 나타내는 그래프도이다.

<71> 구체적으로, 소정의 온도를 갖는 퍼니스 내에 기판을 로딩하고 상기 로딩 중에 기판 상에 형성되는 자연 산화막의 두께를 형성한 것이다. 이 때, 상기 로딩되는 기판은 패턴들이 형성되어 있지 않은 베어 실리콘 기판이다. 또한, 상기 퍼니스는 종형 퍼니스(vertical type furnace)이고, 상기 기판들은 보우트에 적재되어 상기 퍼니스의 하부에서 상부로 이동함으로써 로딩된다.

<72> 도 6을 참조하면, 상기 퍼니스 내의 온도가 650℃일 때 상기 로딩되는 기판들(500, 502, 504)상에는 상기 퍼니스 내에서의 기판의 위치에 따라 4.5 내지 6.5Å의 두께의 자연 산화막이 형성되었다. 상기 퍼니스 내의 상부에 위치하는 기판(500)들은 상기 퍼니스 내의 하부에 위치하는 기판(504)들에 비해 상기 퍼니스 내에 인입되어 있는 시간이 길기 때문에 상대적으로 자연 산화막이 더 두껍게 형성된다. 그리고, 이 때 상기 퍼니스 내에서의 기판 위치에 따른 자연 산화막의 두께 편차는 약 2Å 정도였다.

<73> 반면에, 상기 퍼니스 내의 온도가 450℃일 때 상기 로딩되는 기판들(510, 512, 514)상에는 상기 퍼니스 내에서의 기판의 위치에 따라 3.6 내지 4.4Å의 두께의 자연 산화막이 형성되었다. 그리고, 이 때 상기 퍼니스 내의 기판 위치에 따른 자연 산화막의 두께 편차는 약 0.8Å 정도였다.

<74> 이러한 결과는 상기 기판을 로딩할 시에 퍼니스 내의 온도를 종래에 비해 감소함으로써 기판 상에 자연 산화막이 형성되는 것을 감소시킬 수 있음을 입증해준다.

<75> 도 7은 폴리실리콘막에 도핑되는 불순물의 종류가 다른 경우 상기 폴리실리콘막 상에 형성된 텅스텐 실리사이드막이 산화되는 정도를 각각 나타내는 그래프도이다.

<76> 구체적으로, 제1 내지 제6 기판들 상에 폴리실리콘막을 형성하고 각각의 폴리실리콘막에 도핑되는 불순물의 종류를 스플릿(split)하였다. 구체적으로, 상기 제1 및 제2 기판(600a, 600b)에 형성된 폴리실리콘막은 불순물을 도핑하지 않았다. 상기 제3 및 제4 기판(602a, 602b)에 형성된 폴리실리콘막은 P형 불순물인 붕소(B)이온을 주입하였다. 그리고, 상기 제5 및 제6 기판(604a, 604b)에 형성된 폴리실리콘막은 N형 불순물인 인(P)이온을 주입하였다. 재산화 공정은 종래의 방법인 산소 분위기에서만 수행하였다.

<77> 도 7을 참조하면, 동일한 조건하에서 재산화 공정을 수행하였을 때 상기 제1 및 제2 기판(600a, 600b)상의 텅스텐 실리사이드막 표면에 형성된 산화막의 두께가 가장 얇았다. 그리고, 상기 제5 및 제6 기판(604a, 604b)상의 텅스텐 실리사이드막 표면에 형성된 산화막의 두께는 상기 제1 및 제2 기판(600a, 600b)상의 텅스텐 실리사이드막 표면에 형성된 산화막의 두께에 비해 두껍지만 큰 차이를 보이지는 않았다. 그러나, 상기 제3 및 제4 기판(602a, 602b)상의 텅스텐 실리사이드막 표면에 형성된 산화막의 두께는 상기 제1 및 제2 기판(600a, 600b)상의 실리사이드막의 표면에 형성된 산화막의 두께에 비해 상대적으로 매우 두껍게 측정되었다.

<78> 상기 결과에 의하면, 종래의 방법으로 재산화 공정을 수행하는 경우 상기 텅스텐 실리사이드 패턴의 측면에 형성되는 산화막의 두께는 폴리실리콘막 패턴에 도핑되는 불순물의 종류와 매우 큰 관련이 있다. 즉, 상기 P형 불순물이 도핑된 폴리실리콘막 패턴이 하부에 형성되어 있는 텅스텐 실리사이드막에서 산화막이 가장 두껍게 형성되었다.

<79> 도 8은 실리콘막들에 도핑되는 불순물의 종류별로 실리콘막이 산화되는 정도를 각각 나타내는 그래프도이다.

<80> 상기 실리콘막들에 도핑되는 불순물들은 각각 주입 깊이를 동일하도록 하기 위해 에너지를 각각 다르게 하여 이온 주입 공정을 수행하였다. 그리고, 상기 실리콘막들 상에 형성되는 산화막의 두께를 각각 측정하였다. 상기 산화막을 형성하기 위하여 급속 열적 프로세서(Rapid Thermal Process)를 수행하는 매엽식 챔버내를 1000℃로 유지하고, 내부에 산소를 5slm을 유입하여 110초 동안 산화 공정을 수행하였다. 상기 조건으로 산화막 형성 공정을 수행하면 베어 실리콘 웨이퍼 상에는 약 50Å의 산화막이 형성된다.

- <81> 도 8을 참조하면, P형 불순물인 붕소가 도핑되어 있는 실리콘막 상에는 약 75Å의 산화막이 형성된다. 반면에, N형 불순물인 비소나 인이 도핑되어 있는 실리콘막 상에는 약 110 내지 116Å의 산화막이 형성된다.
- <82> 상기 도 7 내지 도 8을 참조하면, 게이트 구조물이 P형 불순물이 도핑되어 있는 폴리실리콘막 패턴 및 텅스텐 실리사이드 패턴이 적층되어 있을 경우는 P형 불순물이 도핑되어 있는 폴리실리콘막 패턴 및 텅스텐 실리사이드 패턴이 적층되어 있을 경우에 비해 텅스텐 실리사이드 패턴의 측면 산화는 많이 이루어지고 폴리실리콘막 패턴에서의 측면 산화는 오히려 적게 이루어지는 것을 알 수 있다. 즉, 상기 P형 불순물이 도핑된 폴리실리콘막 패턴을 포함하는 게이트 구조물일 경우에는 종래의 방법에 의해 재산화 공정을 수행하는 경우에 게이트 전극의 측면 프로파일이 더욱 불량하다.
- <83> 따라서, 본 발명의 방법은 최근의 셀 트랜지스터에 주로 사용되는 P형 폴리실리콘막 패턴/ 텅스텐 실리사이드 구조를 포함하는 게이트 전극을 형성할 때 측벽 프로파일을 양호하게 하는데 특히 효과적으로 사용할 수 있음을 알 수 있다. 또한, 상기 폴리실리콘막 패턴에서 도핑되는 불순물의 종류 및 불순물의 농도에 따라 재산화 공정 시의 질소 회석비를 변화시킬 수 있다.
- <84> 실시예 2
- <85> 도 9a 내지 도9b는 본 발명의 제2 실시예에 따른 게이트 전극을 포함하는 반도체 장치의 형성 방법을 설명하기 위한 단면도들이다.

- <86> 이하에서 설명하는 제2 실시예에서 게이트 전극을 형성하는 방법은 산화막 형성 공정을 2단계에 거쳐 수행하는 것을 제외하고는 상기 설명한 제1 실시예와 거의 유사하다.
- <87> 도 9a를 참조하면, 반도체 기판(200)상에 게이트 산화막 패턴(202), 폴리실리콘막 패턴(204), 텅스텐 실리사이드 패턴(206) 및 질화막 패턴(208)이 적층되어 있는 게이트 구조물(210)을 형성한다. 상기 게이트 구조물(210)이 형성되는 영역의 반도체 기판(100) 아래에는 P형으로 도핑되어 있는 P-웰(201)이 형성되어 있다.
- <88> 도 9b를 참조하면, 상기 게이트 구조물(210)이 형성되어 있는 기판(200)을 산소 및 불활성 가스가 희석된 분위기에서 1차 재산화하여 상기 폴리실리콘막 패턴(204) 및 텅스텐 실리사이드 패턴(206)의 측면에서 막의 성장률의 차이가 최소화되도록 하면서 상기 게이트 구조물(210) 및 기판(200) 표면에 제1 산화막(212)을 형성한다. 상기 제1 산화막(212)은 게이트 구조물(210) 및 기판(200) 표면에 형성하고자 하는 전체 산화막 두께보다 얇은 두께로 형성한다. 상기 제1 산화막(212)을 형성하기 위한 구체적인 공정 방법은 상기 제1 실시예의 재산화 공정과 동일하다.
- <89> 상기 1차 재산화 공정을 간략하게 언급하면, 공정을 수행하기 위한 퍼니스 내부를 400 내지 480℃의 범위에서 일정 온도로 조절한다. 이어서, 상기 퍼니스 내에 30 내지 50 slm(standard liter per minute)의 불활성 가스를 유입하면서 기판을 로딩한다.
- <90> 상기 기판이 퍼니스 내에 완전히 로딩되면 30 내지 50 slm 정도의 불활성 가스를 계속 유입하면서 상기 퍼니스 내의 온도가 800 내지 900℃가 되도록 승온시킨다.

- <91> 이어서, 상기 퍼니스 내에 산소 가스 및 불활성 가스를 일정시간 동안 제공하여 원하는 두께의 제1 산화막(212)을 형성시킨다. 상기 산소 가스 및 불활성 가스는 1: 0.9 내지 1.1의 부피비로 희석하여 상기 퍼니스 내에 제공하는 것이 바람직하다.
- <92> 상기 과정에 의해, 상기 게이트 구조물(210)의 측벽으로부터 두께의 차이가 최소화되는 제1 산화막(212)을 형성할 수 있다.
- <93> 도 9c를 참조하면, 상기 제1 산화막(212)이 형성되어 있는 기판(200)을 산소 분위기에서 2차 재산화하여 상기 제1 산화막(212)상에 제2 산화막(214)을 형성한다. 상기 2차 재산화 공정을 수행함으로써 게이트 전극을 완성한다.
- <94> 구체적으로, 상기 제1 산화막(212)을 형성하기 위해 상기 퍼니스 내에 제공하는 불활성 가스의 공급을 중단한다. 이어서, 상기 불활성 가스가 공급되는 부피만큼의 산소 가스를 상기 퍼니스 내에 더 제공한다. 따라서, 상기 퍼니스 내에는 상기 제1 산화막(212)을 형성할 때에 비해 약 2배 정도 부피의 산소 가스가 제공된다. 이 때, 상기 산소 가스 유량의 약 1 내지 10 부피 %의 HCl 가스를 더 유입할 수도 있다. 상기 HCl 가스를 더 유입함으로써 게이트 산화막 패턴(202)의 양단에 발생하는 버즈 비크를 감소하는 효과가 있다.
- <95> 상기 제2 산화막(214)을 형성하기 위한 2차 재산화 공정은 상기 불활성 가스를 공급하지 않으면서 수행되기 때문에 상기 1차 재산화 공정에 비해 퍼니스 내에서의 산소의 분압이 증가한다. 또한, 상기 1차 재산화 공정에 비해 퍼니스 내에 공급되는 산소의 유량이 많다. 때문에, 상기 2차 재산화 공정은 상기 1차 재산화 공정에 비해 산화 반응이 더욱 빠르게 진행된다. 즉, 동일한 시간 동안 상기 1차 재산화 공정 및 2차 재산화 공정

을 각각 수행하는 경우 상기 2차 재산화 공정에 의해 형성되는 제2 산화막(214)은 상기 1차 재산화 공정에 의해 형성되는 제1 산화막(212)에 비해 두껍게 형성된다.

<96> 상기 제1 산화막(212)은 상기 폴리실리콘막 패턴(204) 및 텅스텐 실리사이드 패턴(206)의 측면으로부터 균일한 두께를 갖도록 형성된다. 그리고, 상기 제2 산화막(214)은 상기 균일한 두께의 제1 산화막(212)의 표면상에 형성되므로 균일하게 형성된다. 따라서, 상기 게이트 구조물(210)의 재산화 공정을 2단계에 걸쳐 수행하므로 형성되는 게이트 전극이 양호한 측벽 프로파일을 가지면서도 공정 시간을 단축할 수 있는 효과가 있다.

<97> 도 9d를 참조하면, 상기 게이트 전극들을 이온 주입 마스크로 하고 기판 표면 아래로 불순물 이온을 주입하여 소오스 및 드레인 영역(216)을 형성한다. 이어서, 상기 게이트 전극들의 양측벽에 질화막 스페이서(218)를 형성한다. 상기 게이트 전극의 측벽이 양호한 프로파일을 갖기 때문에, 상기 질화막 스페이서(218)도 돌출되는 부위 없이 양호한 프로파일을 가지면서 형성된다.

<98> 상기 질화막 스페이서(218)를 포함하는 게이트 전극들을 매몰하도록 층간 절연막(220)을 형성한다. 이 때, 상기 질화막 스페이서(218)는 층간 절연막(220) 껍질을 용이하게 하므로 상기 층간 절연막(220)을 보이드 없이 매몰할 수 있다.

<99> 상기 층간 절연막(220)의 소정 부위를 식각하여 상기 질화막 스페이서(218) 사이의 기판(200) 표면을 노출하는 셀프 얼라인 콘택홀(224)을 형성한다. 이어서, 상기 셀프 얼라인 콘택홀(224)내를 도전 물질로 매몰하여 상기 소오스 및 드레인 영역(216)과 전기적으로 접촉하는 콘택(226)을 형성한다.

<100> 상기 게이트 전극의 측벽 프로파일을 양호하게 형성함으로서, 순차적으로 이어지는 층간 절연막 형성 공정 및 콘택 형성 공정을 수행할 때의 불량을 최소화 할 수 있다.

【발명의 효과】

<101> 상술한 바와 같이 본 발명에 의하면, 양호한 측면 프로파일을 갖는 게이트 전극을 형성할 수 있다. 이로 인해, 반도체 제조 공정을 수행하는 중에 게이트 전극의 측면 프로파일에 의한 공정 불량을 감소시킬 수 있다.

<102> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

i)반도체 기판 상에 게이트 산화막 패턴, 폴리실리콘막 패턴 및 금속실리사이드 패턴이 적층된 게이트 구조물을 형성하는 단계;

ii)상기 게이트 구조물이 형성되어 있는 기판을 산소 및 불활성 가스가 희석된 분위기에서 재산화하여 상기 폴리실리콘막 패턴 및 금속 실리사이드 패턴의 측면에서 막의 성장률이 유사하도록 상기 게이트 구조물 및 기판 상에 제1 산화막을 형성하는 것을 특징으로 하는 게이트 전극 형성 방법.

【청구항 2】

제1항에 있어서, 상기 폴리실리콘막 패턴은 5족 원소 또는 3족 원소의 이온의 불순물이 도핑된 것을 특징으로 하는 게이트 전극 형성 방법.

【청구항 3】

제1항에 있어서, 상기 제1 산화막을 형성하는 단계에서의 산소 가스와 불활성 가스는 1: 0.9 내지 1.1의 부피비를 갖는 것을 특징으로 하는 게이트 전극 형성 방법.

【청구항 4】

제1항에 있어서, 상기 제1 산화막을 형성하는 단계에서 상기 불활성 가스는 질소, 아르곤 또는 헬륨을 포함하는 것을 특징으로 하는 게이트 전극 형성 방법.

【청구항 5】

제1항에 있어서, 상기 제1 산화막을 형성하는 단계를 수행하기 이전에,

상기 재산화 공정을 수행하기 위한 퍼니스 내부를 400 내지 480℃의 범위에서 일정 온도로 조절하는 단계;

상기 게이트 구조물이 형성된 기판들을 상기 퍼니스 내로 로딩하는 단계;

상기 퍼니스 내에 제1 불활성 가스를 유입하면서, 상기 퍼니스 내의 온도가 800 내지 900℃가 되도록 퍼니스 내의 온도를 승온하는 단계를 더 수행하는 것을 특징으로 하는 게이트 전극 형성 방법.

【청구항 6】

제5항에 있어서, 상기 제1 불활성 가스는 상기 퍼니스 내에 30 내지 50slm의 유량으로 유입하는 것을 특징으로 하는 게이트 전극 형성 방법.

【청구항 7】

제1항에 있어서, 상기 제1 산화막을 형성하는 단계를 수행한 이 후에, 상기 제1 산화막이 형성된 기판을 산소 분위기 또는 산소 및 염소를 포함하는 분위기 내에서 2차 산화하여, 상기 제1 산화막 상에 제2 산화막을 형성하는 단계를 더 수행하는 것을 특징으로 하는 게이트 전극 형성 방법.

【청구항 8】

제7항에 있어서, 상기 염소를 포함하는 가스는 HCl, Cl₂ 또는 C₂HCl₃ 가스를 포함하는 것을 특징으로 하는 게이트 전극 형성 방법.

【청구항 9】

제1항에 있어서, 상기 금속 실리사이드 패턴은 텅스텐 실리사이드 패턴을 포함하는 것을 특징으로 하는 게이트 전극 형성 방법.

【청구항 10】

i) 반도체 기판 상에 게이트 산화막 패턴, 폴리실리콘막 패턴, 금속 실리사이드 패턴 및 질화막 패턴이 적층된 게이트 구조물들을 형성하는 단계;

ii) 상기 게이트 구조물이 형성되어 있는 기판을 산소 및 불활성 가스가 희석된 분위기에서 재산화하여, 상기 폴리실리콘막 패턴 및 금속 실리사이드 패턴의 측면상기 폴리실리콘막 패턴 및 금속 실리사이드 패턴의 측면에서 막의 성장률이 유사하도록 상기 게이트 구조물 및 기판 표면에 제1 산화막을 형성하는 것을 특징으로 하는 게이트 전극 형성 방법.

iii) 상기 제1 산화막을 포함하는 게이트 구조물들의 양 측벽에 질화막 스페이서를 형성하는 단계;

iv) 상기 질화막 스페이서를 포함하는 게이트 구조물들을 매몰하도록 층간 절연막을 형성하는 단계;

v) 상기 층간 절연막의 소정 부위를 식각하여 상기 질화막 스페이서 사이의 기판 표면을 노출하는 셀프 얼라인 콘택홀을 형성하는 단계; 및

vi) 상기 셀프 얼라인 콘택홀 내를 매몰하는 게이트 전극을 포함하는 반도체 장치의 형성 방법.

【청구항 11】

제10항에 있어서, 상기 폴리실리콘막 패턴은 5족 원소 또는 3족 원소의 이온의 불순물이 도핑된 것을 특징으로 하는 게이트 전극을 포함하는 반도체 장치의 형성 방법.

【청구항 12】

제10항에 있어서, 상기 제1 산화막을 형성하는 단계에서 산소 가스와 불활성 가스는 1: 0.9 내지 1.1의 부피비로 희석된 것을 특징으로 하는 게이트 전극을 포함하는 반도체 장치의 형성 방법.

【청구항 13】

제10항에 있어서, 상기 제1 산화막을 형성하는 단계를 수행하기 이전에,

상기 재산화 공정을 수행하기 위한 퍼니스 내부를 400 내지 480℃의 범위에서 일정 온도로 조절하는 단계;

상기 게이트 구조물이 형성된 기판들을 상기 퍼니스 내로 로딩하는 단계;

상기 퍼니스 내에 제1 불활성 가스를 유입하면서, 상기 퍼니스 내의 온도가 800 내지 900℃가 되도록 퍼니스 내의 온도를 승온하는 단계를 수행하는 것을 특징으로 하는 게이트 전극을 포함하는 반도체 장치의 형성 방법.

【청구항 14】

제10항에 있어서, 상기 제1 산화막을 형성하는 단계를 수행한 이 후에, 상기 제1 산화막이 형성된 기판을 산소 분위기 또는 산소 및 염소를 포함하는 분위기 내에서 산화하여 상기 제1 산화막 상에 제2 산화막을 형성하는 단계를 더 수행하는 것을 특징으로 하는 게이트 전극을 포함하는 반도체 장치의 형성 방법.

【청구항 15】

i) 퍼니스 내부를 제1 온도로 조절하는 단계;

ii) 게이트 구조물이 형성된 기판들을 상기 퍼니스 내로 로딩하는 단계;

iii) 상기 퍼니스 내에 제1 불활성 가스를 유입하면서, 상기 퍼니스 내의 온도가 상기 제1 온도에 비해 상승된 제2 온도가 되도록 퍼니스 내의 온도를 승온하는 단계;

iv) 상기 퍼니스 내에 산소 및 제2 불활성 가스가 희석된 분위기에서 산화하여 상기 게이트 구조물의 측면에서 막의 성장률이 유사하도록 상기 게이트 구조물 및 기판 표면에 제1 산화막을 형성하는 것을 특징으로 하는 게이트 구조물을 포함하는 기판의 산화 방법.

【청구항 16】

제15항에 있어서, 상기 제1 온도는 400 내지 480℃인 것을 특징으로 하는 게이트 구조물을 포함하는 기판의 산화 방법.

【청구항 17】

제15항에 있어서, 상기 제2 온도는 800 내지 900℃인 것을 특징으로 하는 게이트 구조물을 포함하는 기판의 산화 방법.

【청구항 18】

제15항에 있어서, 상기 제1 산화막을 형성하는 단계에서 산소 가스와 제2 불활성 가스는 1: 0.9 내지 1.1의 부피비로 희석된 것을 특징으로 하는 게이트 전극을 포함하는 기판의 산화 방법.

【청구항 19】

제15항에 있어서, 상기 제1 산화막을 형성하는 단계를 수행한 이 후에, 상기 제1 산화막이 형성된 기판을 산소 분위기 또는 산소 및 염소를 포함하는 분위기 내에서 산화

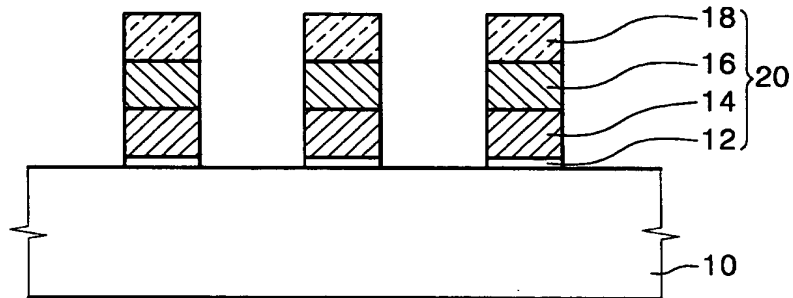
하여 상기 제1 산화막 상에 제2 산화막을 형성하는 단계를 더 수행하는 것을 특징으로 하는 게이트 구조물을 포함하는 기판의 산화 방법.

【청구항 20】

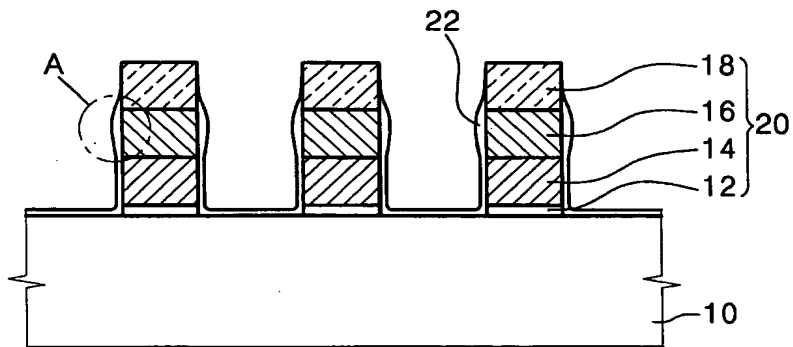
제15항에 있어서, 상기 게이트 구조물은 게이트 산화막 패턴, 폴리실리콘막 패턴, 금속 실리사이드 패턴이 적층된 구조로 이루어지는 것을 특징으로 하는 게이트 구조물을 포함하는 기판의 산화 방법.

【도면】

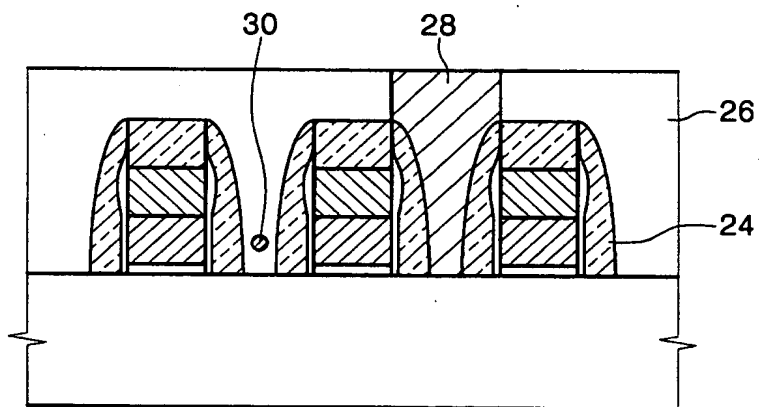
【도 1a】



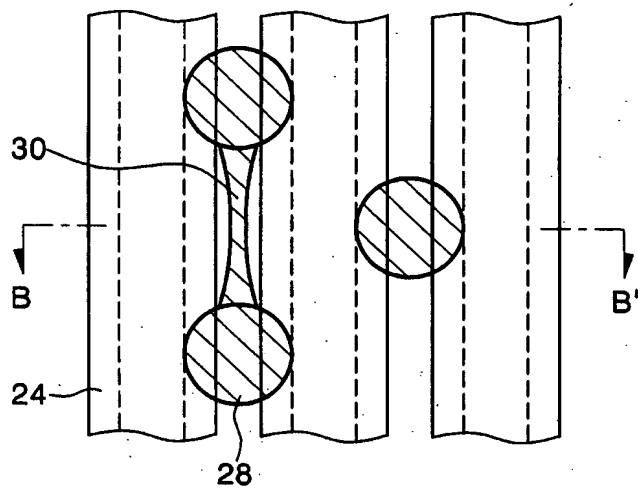
【도 1b】



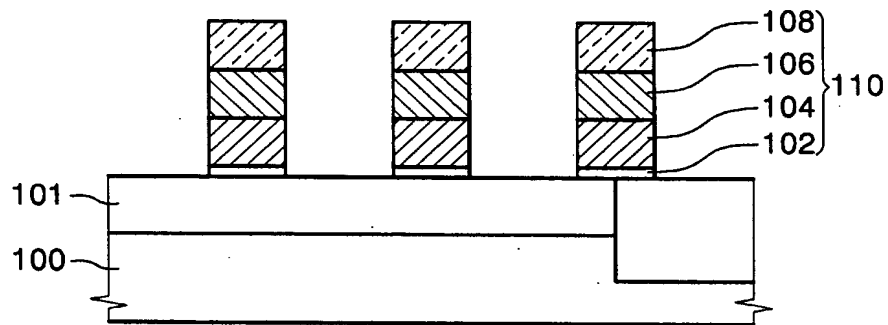
【도 2】



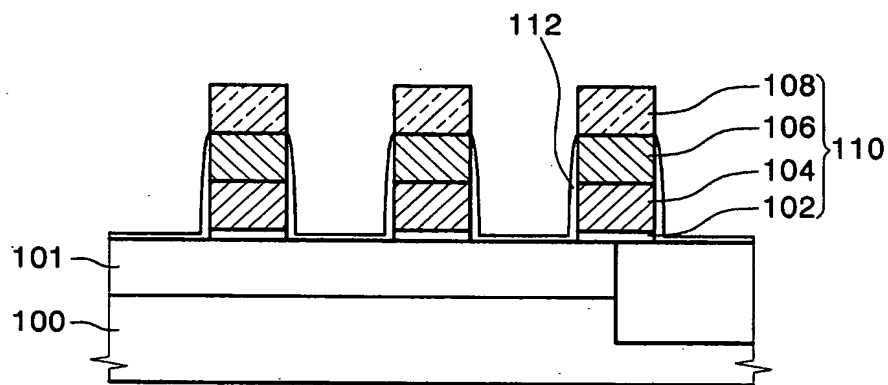
【도 3】



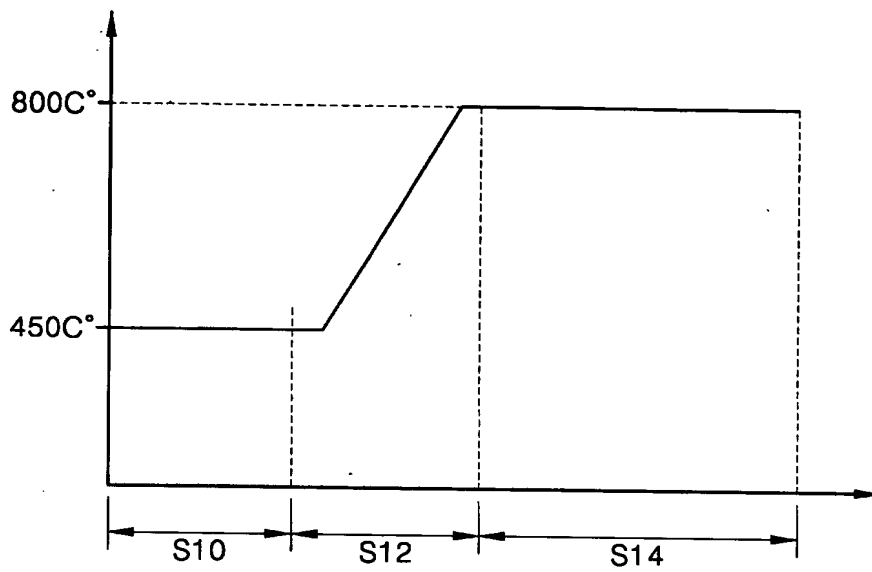
【도 4a】



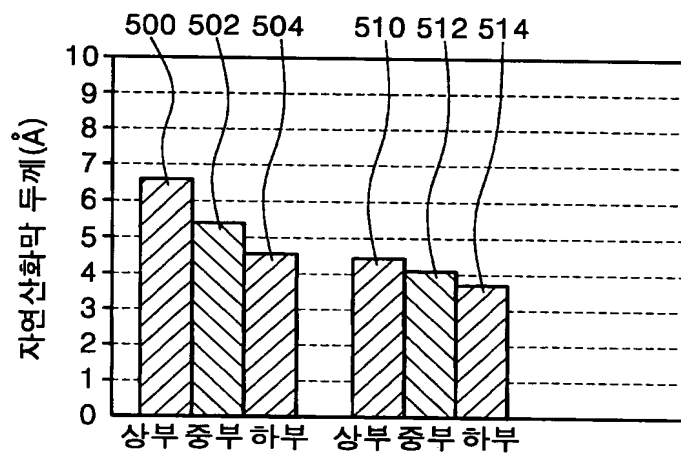
【도 4b】



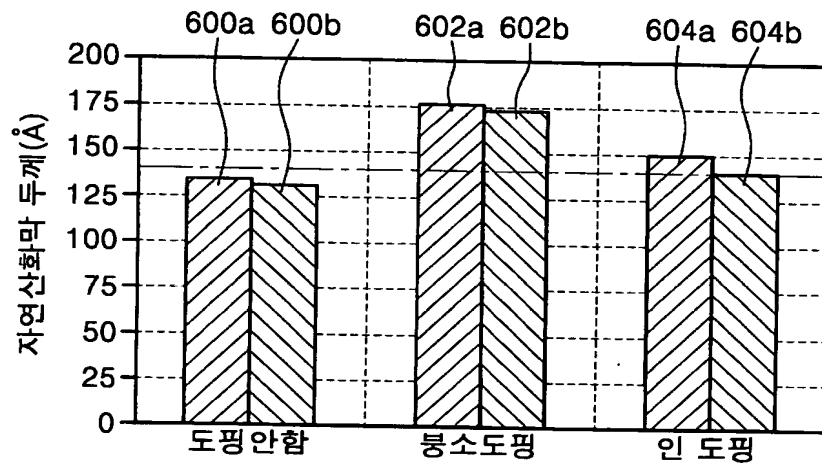
【도 5】



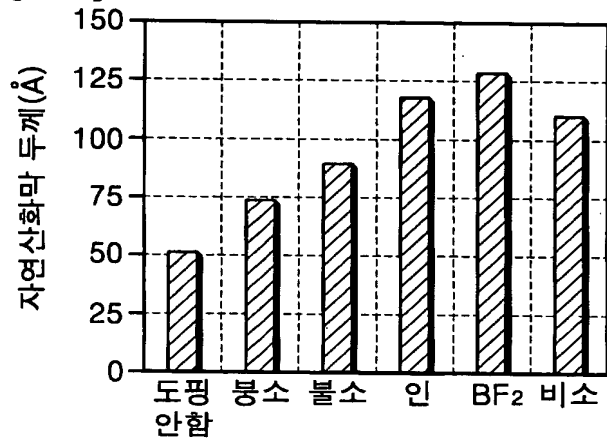
【도 6】



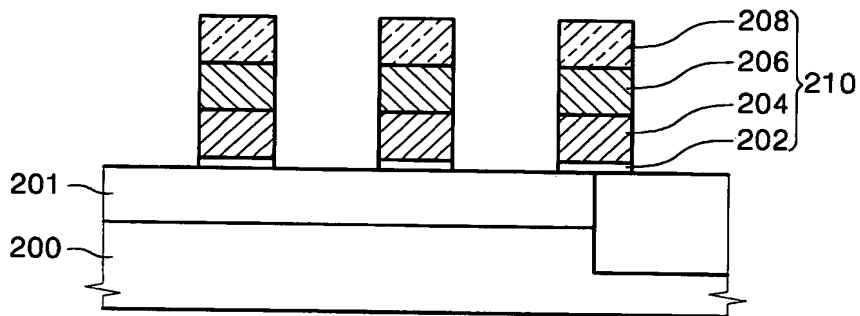
【도 7】



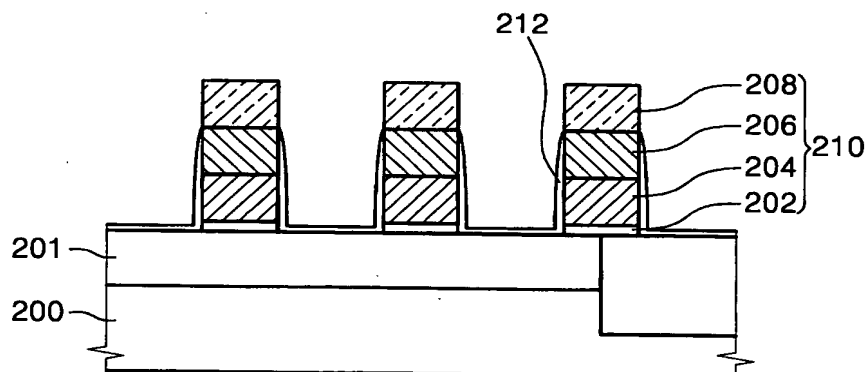
【도 8】



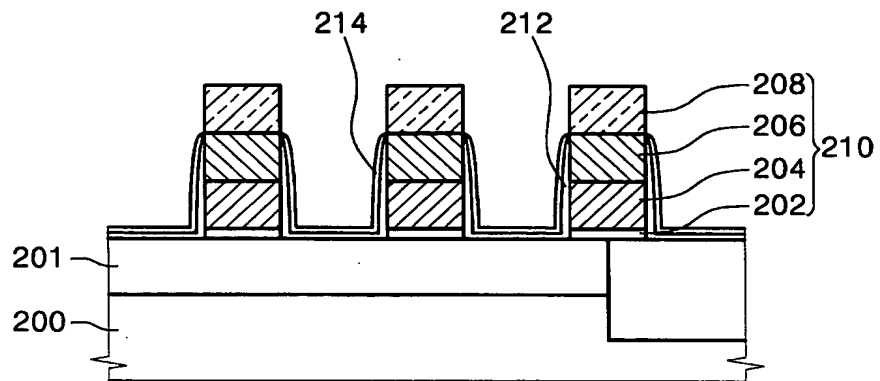
【도 9a】



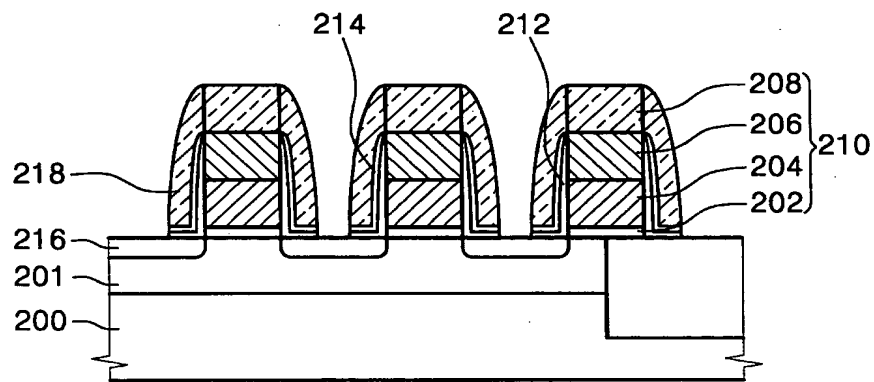
【도 9b】



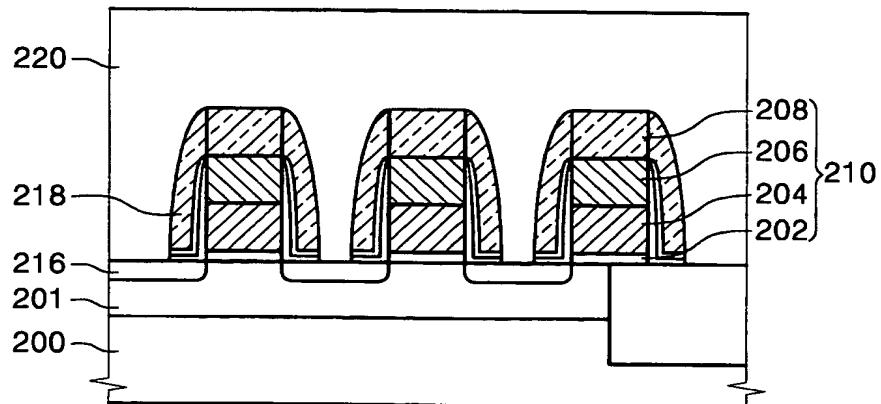
【도 9c】



【도 9d】



【도 9e】



【도 9f】

